

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Inventors: Junji SUGAMOTO et al.)
)
Application No.: 10/706,090) Group Art Unit: 2812
)
Filed: November 13, 2003)
)
For: SEMICONDUCTOR WAFER)
TREATMENT METHOD,)
SEMICONDUCTOR WAFER)
INSPECTION METHOD,
SEMICONDUCTOR DEVICE
DEVELOPMENT METHOD AND
SEMICONDUCTOR WAFER
TREATMENT APPARATUS

MAIL STOP MISSING PARTS
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

CLAIM FOR PRIORITY

Under the provisions of Section 119 of 35 U.S.C., applicants hereby claim the benefit of the filing dates of Japanese Application Nos. 2002-330683, filed November 14, 2002; and 2003-372019, filed October 31, 2003, for the above identified United States Patent Application.

In support of applicants claim for priority, filed herewith is one certified copy of each of the above.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

Dated: March 25, 2004

By: 

Richard V. Burgujian
Reg. No. 31,744

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月14日
Date of Application:

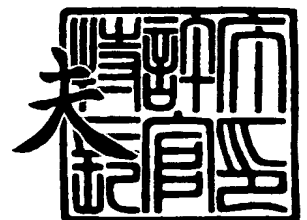
出願番号 特願2002-330683
Application Number:
[ST. 10/C]: [JP2002-330683]

出願人 株式会社東芝
Applicant(s):

2003年10月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3080790

【書類名】 特許願

【整理番号】 APB0261141

【提出日】 平成14年11月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/66
H01L 21/02

【発明の名称】 欠陥定量化方法及び前処理装置、半導体装置開発方法

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 菅元 淳二

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 土屋 憲彦

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 牛久 幸広

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 丹沢 勝二郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100097629

【弁理士】

【氏名又は名称】 竹村 壽

【電話番号】 03-3843-4628

【手数料の表示】

【予納台帳番号】 004961

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】

明細書

【発明の名称】 欠陥定量化方法及び前処理装置、半導体装置開発方法

【特許請求の範囲】

【請求項 1】 デバイスパターンが形成された半導体ウェーハにおいて、デバイス構造を構成する膜を薬液で除去して前記半導体ウェーハの結晶表面を露出させる工程と、

前記半導体ウェーハに対して、結晶欠陥を検出するための選択エッチングを行う工程と、

前記半導体ウェーハに対して、光学的画像認識によりパターン欠陥検査を行ってデバイスプロセスで発生した前記半導体ウェーハの結晶欠陥を定量化する工程とを具備したことを特徴とする欠陥定量化方法。

【請求項 2】 前記選択エッチングによって生じた前記半導体ウェーハ上の表面汚染を除去する工程をさらに具備したことを特徴とする請求項 1 に記載の欠陥定量化方法。

【請求項 3】 前記選択エッチングによって生じた前記半導体ウェーハ上のパーティクルを除去する洗浄工程をさらに具備したことを特徴とする請求項 1 又は請求項 2 に記載の欠陥定量化方法。

【請求項 4】 前記デバイス構造の膜を除去する工程は、HF、H₂O、界面活性剤からなる薬液で前記膜を剥離する工程と H₂SO₄、H₂O₂、H₂O で残渣をエッチング除去する工程とを少なくとも 1 回以上行うことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の欠陥定量化方法。

【請求項 5】 結晶欠陥を検出する選択エッチングは、酸化クロム (VI)、フッ酸、硝酸、酢酸、硝酸銅 (II) 三水和物の水溶液、あるいは酸化クロム (VI)、フッ酸の水溶液、あるいはフッ酸、硝酸、酢酸の水溶液のいずれかであることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の欠陥定量化方法。

【請求項 6】 半導体ウェーハのデバイス構造を構成する膜を薬液で除去する装置と、

前記半導体ウェーハの結晶欠陥を検出するための選択エッチングを行なう装置と、

前記選択エッチングによる表面汚染を除去する装置と、
前記半導体ウェーハ上のパーティクルを除去する洗浄装置とを具備したことを特徴とする欠陥定量化方法に用いる前処理装置。

【請求項 7】 前記選択エッチングによる表面汚染を除去する装置をさらに具備したことを特徴とする請求項 6 に記載の欠陥定量化方法に用いる前処理装置。

【請求項 8】 前記半導体ウェーハ上のパーティクルを除去する洗浄装置をさらに具備したことを特徴とする請求項 6 又は請求項 7 に記載の欠陥定量化方法に用いる前処理装置。

【請求項 9】 前記デバイス構造を構成する膜を除去する装置には液中のパーティクルと前記半導体ウェーハ表面の状態とを観察するモニタを具備したことを特徴とする請求項 6 乃至請求項 8 のいずれかに記載の欠陥定量化方法に用いる前処理装置。

【請求項 10】 請求項 1 乃至請求項 5 のいずれかに記載の欠陥定量化方法により半導体ウェーハ表面の欠陥を定量化するステップと、

前記定量化された欠陥の数を判断基準として、半導体装置の製造プロセスもしくはデバイスパターン形状を結晶欠陥が少なくなるように最適化するステップとを具備したことを特徴とする半導体装置開発方法。

【請求項 11】 請求項 1 乃至請求項 5 のいずれかに記載の欠陥定量化方法における画像認識によりパターン欠陥検査を行ってデバイス製造プロセスで発生した前記半導体ウェーハの結晶欠陥を定量化する工程において、

前記半導体ウェーハのデバイスパターンに発生した結晶欠陥を光学的に検出する際に、単独エリアもしくは複数エリアの無欠陥のデバイスパターンを含む単独もしくは複数の領域を形成し、この領域を基準として参照し比較して前記デバイスパターンの結晶欠陥を検出することを特徴とする欠陥定量化方法。

【請求項 12】 前記無欠陥のデバイスパターンは、応力を緩和して形成することを特徴とする請求項 11 に記載の欠陥定量化方法。

【請求項 13】 前記応力を緩和する方法は、前記無欠陥のデバイスパターンを含む領域に前記ゲート電極あるいはコンタクトを形成しないことによること

を特徴とする請求項 12 に記載の欠陥定量化方法。

【請求項 14】 前記無欠陥のデバイスパターンは、前記無欠陥のデバイスパターンを含む領域に、イオン注入あるいはプラズマによるダメージなどの照射損傷を与える工程を除くかもしくは軽減させることにより形成されることを特徴とする請求項 11 に記載の欠陥定量化方法。

【請求項 15】 前記半導体ウェーハのデバイスパターンと同一のパターンを有し、結晶欠陥を持たないウェーハを用意し、この結晶欠陥を持たないウェーハの各領域を基準として参照し比較して前記半導体ウェーハの対応する各領域の結晶欠陥を検出することを特徴とする請求項 11 に記載の欠陥定量化方法。

【請求項 16】 予め記憶装置に格納しておいた各領域の無欠陥のデバイスパターンの画像情報を基準として参照し比較して前記半導体ウェーハの対応する各領域の結晶欠陥を検出することを特徴とする請求項 11 に記載の欠陥定量化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デバイスパターンが形成された半導体ウェーハ（以下、ウェーハという）の転位などの結晶欠陥の定量的評価方法に関し、とくに定量的評価を行う際に実施される選択エッチングによる転位のエッチピットの顕微鏡観察とそのデータ解析に関するものである。

【0002】

【従来の技術】

半導体装置の製造時において、デバイス製造プロセスで発生する熱応力や膜応力が、半導体装置の特性を劣化させリーク不良・耐圧不良等を生じさせる転位を発生させる。転位を発生させないプロセスにするために、従来は、図 12 に示す様に、半導体装置を製造したウェーハ（TEG ウェーハ）を複数のチップに分割した。サンプルとして選択したチップのデバイス膜構造を薬液により剥離し、結晶欠陥（転位）表出のために選択エッチングを行い、SEM、光学顕微鏡等でエッチピットを評価して欠陥を定性的に把握し、この評価を基にしてプロセス条件

や回路パターンなどを修正していた。

なお、選択エッチングによれば、一般に、転位だけでなく酸化誘起積層欠陥（OSF）、酸素析出物（BMD）など各種の結晶欠陥の観察が可能であるが、本発明では主としてプロセスで誘起された転位の評価を例に挙げて説明する。

また、ウェーハの状態で結晶欠陥を評価することも知られているが、デバイスを形成する前のウェーハの状態を評価するものであった（特許文献1又は特許文献2参照）。

【0003】

【特許文献1】

特開平11-54579号公報（図1及び第3頁）

【特許文献2】

特開平8-191090号公報（第5頁～第7頁、図1）

【0004】

【発明が解決しようとする課題】

しかし、この評価方法では評価時間がかかる上、評価範囲が狭いためウェーハ面内で転位の発生に偏りがある場合や転位の発生がある程度の密度を下回る場合、見落としが多くなり定量性に欠け、プロセス改善の指針にできないなどの問題があった。デバイス製造プロセスで発生した転位を広範囲に評価する手段としては、他にX線トポグラフ法があるが、最近のデバイスの高集積化によるデザインルール縮小（ $\sim 0.1\mu\text{m}$ ）に対し、解像度が数 μm と悪いため微小な転位は見逃すことになり、結局使えなくなっている。また、X線を使うため反射法（BergBarrett 法）を用いても侵入長が数 μm あり、最近のデバイス活性領域 $1\mu\text{m}$ 以下のもののみを取り出すことは困難であった。

【0005】

次に、転位などの結晶欠陥の定量的評価を行う際に実施される選択エッチングによる転位のエッチピットの顕微鏡観察とそのデータ解析について述べる。

シリコン単結晶基板を用いた半導体デバイスの製造工程では、デバイスの3次元構造（形状・寸法・膜厚）とプロセス条件次第で結晶欠陥（転位）が発生し、リーク系不良の原因となっている。この転位発生の原因は、製品のパターンやプ

ロセスに依存している。古くはLOCOS酸化時の応力、最近のSTI (Shallow Trench Isolation) でも埋め込み材 (SiO_2) の応力が過大となって発生する事例が報告されている。一方、イオン注入やプラズマ・ダメージによっても転位がしばしば発生する。本発明の課題は、上述した工程に限らず、製品または作製中のウェーハに導入された転位全般に関するものであるが、ここでは下記のLDD (Lightly Doped Drain) 工程を中心に説明する。

【0006】

最近のMOSトランジスタではホットエレクトロンによる劣化防止のためLDD構造が必要となり、ソース／ドレイン領域を形成する際に、ゲートの側壁材としてシリコン窒化膜 (SiN) などを用いたスペーサ (以後、側壁という) を用いて低濃度不純物領域を高濃度不純物領域に先だって形成している。このため側壁下部の応力が高くなり、転位が応力を緩和するために発生し成長して拡散領域やウエルの接合を貫通するに至っている (図14参照)。

【0007】

そして、空乏層中まで至る長い拡張転位 (以後、転位と略す) はリーク電流を増加させ素子歩留りを左右している。また、微細デバイスのソース／ドレイン領域の高ドーズイオン注入部のゲート電極・配線のエッジ周辺のシリコン半導体基板には、イオン注入でアモルファス化したシリコンが活性化アニール時の再結晶化過程で転位が頻繁に生じることがある。

【0008】

転位の代表的な評価法として、TEM (Transmission Electron Microscope) を用いれば直接観察が可能であるが、ウェーハ面内での観察領域は非常に狭く、全体の傾向を見誤る危険があるのが欠点である。これに対し従来から転位に対して選択性の高い薬液中でのエッチングを行ってできたエッチピット (図14 (c) 参照) を顕微鏡 (光学顕微鏡、SEM) で検出し計数する手法が長く用いられてきた。しかしながら、人間の行う観察では1日で1枚のウェーハにつき高々面内数チップと時間的な限界があった。そこで考えられた光学的・電子顕微鏡などで検出し、画像認識の計算機アルゴリズムで欠陥を判定し抽出する自動欠陥評価装置での同種の選択エッチング後のピット観察への適用において、以下の問題が

生じた。

【0009】

転位の発生位置については、ゲート電極と素子分離酸化膜（LOCOS、改良 LOCOS、STI など）が交差する点の周辺（交差部）では応力が極度に集中し、最悪の場合はトランジスタなどから成る全セルに転位が発生することもある。高集積デバイスの転位（プロセスで誘起された結晶欠陥）が発生し成長するのは熱処理中に局所的高応力部が印加されるためである。したがって、これらの転位は周期的に繰り返されるデバイスパターンの同一個所に発生することが一般的である（図13参照）。図13に示すように、着目したチップ内のパターンの評価領域（b）にある転位の評価において、自動評価で隣接パターンや隣接チップにある参照領域（a）と比較して差異を抽出する画像認識法で評価する場合には、互いに同一部に転位を有するパターン同士を比較することとなり、「欠陥なし」と判定されてしまう。このような参照領域と評価領域の対比方式を用いる現状の装置では、実際にエッチピットが多発しているにも拘らず、ほとんど同一画像の比較を行うために誤った判断を下し、転位を漏らさず検出・計数・評価することが困難であった。

【0010】

なお、用語についての定義は、以下のとおりである。自動評価装置でパターン比較で抽出される「欠陥」は広義であり、ウェーハ上の異物（微粒子や膜残り）、形状異常部や形態や光の強度・色の異常部を含むものである。これに対して、本発明での評価対象は、基板Si結晶の「結晶欠陥」であるが、本明細書の発明の詳細な説明の欄では結晶欠陥の一種の原子配列の線欠陥である「転位」を結晶欠陥の代表として説明する。他の結晶欠陥（積層欠陥（OSFなど）、空洞欠陥（voidなど）も同様に評価可能であり、本発明は、これら他の結晶欠陥の評価も含むものである。「転位」は、上記エッチングの時間により0.1 μ m程度から10 μ m程度の長径を持つエッチピットとして顕在化できるものである。

【0011】

本発明は、このような事情によりなされたものであり、第1の発明は、デバイスパターンが形成されたウェーハ全面を選択エッチングした後に光学的検出装置

による転位の評価を行ってウェーハ全面のエッチピットの数をも素早く定量化することができる欠陥定量化方法を提供し、第2の発明は、この欠陥定量化方法を実施する為の前処理装置を提供し、第3の発明は、前記欠陥定量化方法において光学的検出装置による転位などの結晶欠陥の評価を行う際に、規則的パターンの周期性により欠陥部を見落とすことがなく、またこの評価により改善されたプロセスでデバイスを作製することにより有害な転位を抑制することができる欠陥定量化方法を提供し、第4の発明は、前記欠陥定量化方法に基づいて、定量化された欠陥の数を判断基準として、半導体装置の製造プロセスもしくはデバイスパターン形状を結晶欠陥が少なくなるように最適化する半導体装置開発方法を提供するものである。

【0012】

【課題を解決するための手段】

このような課題を解決するために、第1の発明は、デバイスパターンが形成されたウェーハをウェーハのままデバイス構造の膜を薬液で剥離し、ライト (Wright) 液などによる結晶欠陥検出の為の選択エッチングにより、エッチピットを表出し、洗浄処理 (SPM など) により表面汚染の除去を行い、次に洗浄工程により、パーティクルを除去したウェーハを画像認識欠陥検査装置でエッチピットを定量評価することを特徴としている。ウェーハ全面の結晶欠陥をも素早く定量化し評価することが可能となり、この定量化した値、座標データ、エッチピットの形状などのデータからデバイス製造プロセスでの転位の発生を抑える手法を開発することが容易となる。第2の発明は、第1の発明を実施するためのウェーハからデバイス構造を構成する膜を薬液で除去する装置と、ウェーハの結晶欠陥を検出するための選択エッチングを行なう装置と、選択エッチングによる表面汚染を除去する装置と、洗浄装置とを具備している。

【0013】

第3の発明は、第1の発明の欠陥定量化方法において、選択エッチングした後、光学的検出装置による転位の評価を行う際に、無欠陥のデバイスパターンを含む領域を基準として評価すべき領域の転位などの結晶欠陥を検出することを特徴としている。規則的パターンの周期性により欠陥部を見落とすことのない評価が

可能になる。またこの評価により改善されたプロセスで素子を作製することにより有害な転位を抑制する。

実際の改善では側壁加工・側壁酸化・薄膜デポ・ゲート絶縁膜形成条件などの最適化により応力を緩和し、転位を低減できる。またイオン注入～アニール工程条件の変更により、転位の発生源である微小転位ループを減らすことで転位を低減できる。

第4の発明は、第1の発明もしくは第2の発明の欠陥定量化方法によりウェーハ表面の欠陥を定量化し、前記定量化された欠陥の数を判断基準として、半導体装置の製造プロセスもしくはデバイスパターン形状を結晶欠陥が少なくなるように最適化することを特徴としている。デバイス製造プロセスでの転位の発生を抑える手法を開発することが容易になり、開発コストを削減し、開発期間を大幅に短縮できる。

【0014】

即ち、本発明の欠陥定量化方法は、デバイスパターンが形成された半導体ウェーハにおいて、デバイス構造を構成する膜を薬液で除去して前記半導体ウェーハの結晶表面を露出させる工程と、前記半導体ウェーハに対して、結晶欠陥を検出するための選択エッチングを行う工程と、前記半導体ウェーハに対して、光学的画像認識によりパターン欠陥検査を行ってデバイスプロセスで発生した前記半導体ウェーハの結晶欠陥を定量化する工程とを具備したことを特徴としている。前記選択エッチングによって生じた前記半導体ウェーハ上の表面汚染を除去する工程をさらに具備するようにしても良い。前記選択エッチングによって生じた前記半導体ウェーハ上のパーティクルを除去する洗浄工程をさらに具備するようにしても良い。前記デバイス構造の膜を除去する工程は、HF、H₂O、界面活性剤からなる薬液で前記膜を剥離する工程とH₂SO₄、H₂O₂、H₂Oで残渣をエッチング除去する工程とを少なくとも1回以上行うようにしても良い。結晶欠陥を検出する選択エッチングは、酸化クロム(VI)、フッ酸、硝酸、酢酸、硝酸銅(II)三水合物の水溶液、あるいは酸化クロム(VI)、フッ酸の水溶液、あるいはフッ酸、硝酸、酢酸の水溶液のいずれかであることを特徴としている。

【0015】

また、本発明の欠陥定量化方法は、上記の欠陥定量化方法における画像認識によりパターン欠陥検査を行ってデバイス製造プロセスで発生した前記半導体ウェーハの結晶欠陥を定量化する工程において、前記半導体ウェーハのデバイスパターンに発生した結晶欠陥を光学的に検出する際に、単独エリアもしくは複数エリアの無欠陥のデバイスパターンを含む単独もしくは複数の領域を形成し、この領域を基準として参照し比較して前記デバイスパターンの結晶欠陥を検出することを特徴としている。前記無欠陥のデバイスパターンは、応力を緩和して形成するようにしても良い。前記応力を緩和する方法は、前記無欠陥のデバイスパターンを含む領域に前記ゲート電極あるいはコンタクトを形成しないことによるようにしても良い。前記無欠陥のデバイスパターンは、前記無欠陥のデバイスパターンを含む領域に、イオン注入あるいはプラズマによるダメージなどの照射損傷を与える工程を除くかもしくは軽減させることにより形成するようにしても良い。前記半導体ウェーハのデバイスパターンと同一のパターンを有し、結晶欠陥を持たないウェーハを用意し、この結晶欠陥を持たないウェーハの各領域を基準として参照し比較して前記半導体ウェーハの対応する各領域の結晶欠陥を検出するようにしても良い。

【0016】

本発明の欠陥定量化方法に用いる前処理装置は、半導体ウェーハのデバイス構造を構成する膜を薬液で除去する装置と、前記半導体ウェーハの結晶欠陥を検出するための選択エッチングを行なう装置と、前記選択エッチングによる表面汚染を除去する装置と、前記半導体ウェーハ上のパーティクルを除去する洗浄装置とを具備したことを特徴としている。前記選択エッチングによる表面汚染を除去する装置をさらに具備するようにしても良い。前記半導体ウェーハ上のパーティクルを除去する洗浄装置をさらに具備するようにしても良い。前記デバイス構造を構成する膜を除去する装置には液中のパーティクルと前記半導体ウェーハ表面の状態とを観察するモニタを具備するようにしても良い。予め記憶装置に格納しておいた各領域の無欠陥のデバイス、パターンの画像情報を基準として参照し比較して前記半導体ウェーハの対応する各領域の結晶欠陥を検出するようにしても良い。

本発明の半導体装置開発方法は、上記の欠陥定量化方法により半導体ウェーハ表面の欠陥を定量化するステップと、前記定量化された欠陥の数を判断基準として、半導体装置の製造プロセスもしくはデバイスパターン形状を結晶欠陥が少なくなるように最適化するステップとを具備したことを特徴としている。

【0017】

【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

第1及び第2の発明を説明する。

まず、図1乃至図3を参照して第1の実施例を説明する。

図1は、この実施例の欠陥定量化方法におけるフロー図、図2は、欠陥定量化方法に用いられる前処理装置の断面図、図3は、本発明の欠陥定量化方法及び従来の結晶欠陥評価方法における評価時間の長さを示す特性図である。

デザインルール0.18 μ mプロセスで作成した複数のメモリ製品の不良解析に適用した場合を説明する。この半導体装置を作るために、この欠陥定量化方法によりデバイスパターンが形成されたウェーハを図1に示す評価フローにしたがって評価した。メモリ製品が製造されたウェーハからサンプル（TEGウェーハ）を抜き取り、サンプルのデバイス構造を構成する膜（デバイス構造膜）を剥離する。次に、転位などの結晶欠陥表出のための選択エッチングを行ってエッチピットを表出させる。その後、表面不純物を除去する後処理及びパーティクル除去するための洗浄を行って、画像認識により評価して欠陥を定量化する。

【0018】

なお、選択エッチングによれば、一般に、転位だけでなく酸化誘起積層欠陥（OSF）、酸素析出物（BMD）など各種の結晶欠陥の観察が可能であり、本発明は、これら各種の結晶欠陥の評価を含むものであるが、本発明では主としてプロセスで誘起された転位の評価を例に挙げて説明する。

画像認識欠陥評価までのサンプル準備は、図2に示した前処理装置を使用し、ウェーハ面内全ての領域にエッチピットとして結晶欠陥を出現させた。

まず、サンプルとしてデバイスパターンが形成されたウェーハ（TEGウェーハ）を選択する。そして、選択されたウェーハのデバイス構造膜を剥離する。

【0019】

デバイス構造膜剥離は、図2に示す前処理装置のデバイス構造膜剥離工程16で行った。この工程には、テフロン（登録商標）などからなる剥離槽（1）5及び石英などからなる剥離槽（2）がセットされている。これら剥離槽は、各々の外槽（テフロン）7に収容されている。各外槽7には、注液口1及び廃液口8を備えている。まず、デバイスパターンが形成されたウェーハ3をウェーハ保持治具4にセットし、剥離槽（1）5に予め貯めておいた濃HF水溶液（49% HF : H₂O = 1 : 2（界面活性剤NCW1%））（剥離液（1）6）に15分浸漬し、純水と置換しながらオーバーフローさせてHFによりリフトオフされた剥離物を取り除いた。その後、剥離槽（2）19において希HF水溶液（49% HF : H₂O = 1 : 100、（界面活性剤NCW1%））で30分、超音波をかけながら残膜を剥離させた。次に、純水と置換させた。剥離前のデバイス構造膜にCuが入っていた場合は、剥離槽（1）5にSPM（H₂SO₄ : H₂O₂ = 2 : 5）を貯めておき、30分エッチングし、純水で置換した。

【0020】

その後、剥離槽（2）19に純水を貯めておき、ウェーハを純水中に待機させて、剥離槽（1）に濃HF水溶液（49% HF : H₂O = 1 : 2、（界面活性剤NCW1%））（剥離液（2）20）に30分～12時間浸漬して、デバイス構造膜を全て剥離し、シリコン表面を露出させた。次に、純水置換し、剥離槽（2）19において、希HF水溶液（49% HF : H₂O = 1 : 100、（界面活性剤NCW1%））で30分、超音波2をかけながら洗浄した。この工程は、アルカリ系の洗浄液（コリン、NH₄OHなど）で代用しても良い。洗浄効果が高い。再度、純水置換することによって剥離工程が終了した。

次に、結晶欠陥を表出するために選択エッチングを行う。選択エッチングは、結晶欠陥表出エッチング工程17で行った。この工程には、テフロンなどからなる外槽（テフロン）に収容されたCr混酸槽22、一次洗浄槽23、二次洗浄槽24が備えられている。

【0021】

結晶欠陥表出エッチング工程17では、注液口1からCr混酸槽22にライト

液 (HF (60 ml) : HNO_3 (30 ml) : $\text{Cu}(\text{NO}_3)_2$ (2 g) : 5 mol CrO_3 (30 ml) : CH_3COOH (60 ml) : H_2O (60 ml) の割合) を供給し、5 秒間選択エッチングする。選択エッチング後、ウェーハ保持治具 4 を引き上げ、予め H_2O を入れていた一次洗浄槽 23 に 30 秒漬けて選択エッチングを停止させた。その後、二次洗浄槽 24 に 30 秒間つけて Cr を洗浄した。一次洗浄槽 23 及び二次洗浄槽 24 には注入口 1、1 を介して一次洗浄水 10 及び二次洗浄水 11 が供給される。結晶欠陥表出エッチング工程 17 の各液は、 Cr を含むため Cr 混酸回収容器 9 に回収した。

【0022】

次の洗浄工程 18 では、洗浄槽 21 に洗浄液 (純水) 15 がオーバーフローしている中にウェーハ保持具 4 を入れ、さらに、水洗した。SPM (H_2SO_4 : $\text{H}_2\text{O}_2 = 2 : 5$) で微量 Cr を除去、その後、希 HF 水溶液 ($49\% \text{HF} : \text{H}_2\text{O} = 1 : 5$) で 15 分間、超音波をかけながら洗浄した。その後、オゾン水を含む APM ($\text{NH}_4\text{OH} / \text{H}_2\text{O}_2 / \text{H}_2\text{O}$) あるいは HPM ($\text{HCl} / (\text{H}_2\text{O}_2) / \text{H}_2\text{O}$) で洗浄、水洗し、スピンドライヤで乾燥した。これまでの処理により、ウェーハ全面をパーティクル付着が殆ど無い状態で結晶欠陥を表出させることができた。このウェーハを画像認識欠陥評価装置で検出感度を調整し、画像を比較することにより評価し、ウェーハ全面のエッチピットの数とその座標と散乱強度を求めた。

このような工程を経ることにより結晶欠陥がデバイスパターンが形成されたウェーハ全面で定量評価することができる。そして、結晶欠陥を定量的に評価した結果、図 3 に示す様に従来の方法より評価時間が $1/6 \sim 1/30$ に短縮でき、短時間で不良解決が可能になった。

【0023】

次に、図 4 乃至図 6 を参照して第 2 の実施例を説明する。

図 4 は、欠陥定量化方法に用いられる前処理装置の断面図、図 5 は、この実施例の欠陥定量化方法におけるフロー図、図 6 は、本発明による結晶欠陥を定量し欠陥密度をマッピングしたウェーハ平面図である。

デザインルール 0.13 μm プロセスで作成したロジック製品の開発に適用す

るため、第1の実施例の画像認識欠陥評価において、定量化したい欠陥のエッチピットのノイズとなる別のエッチピット、パーティクルを低減し、区別して高精度に定量化した例を示す。

図5の工程において、デバイス構造膜剥離工程で図4に示した装置により、ノイズとなる別のエッチピット、パーティクルを低減した。図4に示した前処理装置は、図2の前処理装置と基本的には同じ構造であるが、デバイス構造膜剥離工程の部分にモニタを付加したことが図2のものとは相違している。すなわち、図4の前処理装置のデバイス構造膜剥離工程16の剥離槽(1)5には表面状態観察モニタ30が付設され、剥離槽(2)19を収容する外槽7には液中パーティクルモニタ29が付設されている。

【0024】

表面状態観察モニタ30は、デバイス構造膜剥離中に基板のシリコン表面に目的とする欠陥のエッチピット以外のピットが発生しないように終点検出に使用する。目的とする欠陥のエッチピットとは、次の欠陥表出エッチング工程17で発生するエッチピット(図14(c)参照)のことである。サンプルの膜種・構造により剥離工程中にエッチピットが発生することがあり、これを防ぐことが画像認識欠陥評価のノイズ低減に重要である。このモニタ30は、例えば、耐薬品材料で防水されたCCDなどの画像検出装置であり、剥離中同一箇所の画像変化を取得し、画像変化が一定値以下になったら剥離液から取り出すなどの方法により、最適な剥離時間を自動的に設定可能となった。

デバイス構造膜を剥離後、剥離物がウェーハ表面に残らないよう超音波を使用する洗浄あるいは水洗工程で液中パーティクルモニタ29により、廃液に含まれる剥離物を監視し、洗浄あるいは水洗の終点を検出した。パーティクルも図1の画像認識欠陥評価において目的とする欠陥のエッチピットのノイズとなりやすく、高精度な欠陥定量化にはパーティクルを防ぐことが重要である。

これらのモニタによる正確な終点検出によりノイズとなるエッチピット、パーティクルはモニタを用いない場合に比べ約10%に減少した。

【0025】

次に、図5の工程フローにおいて結晶欠陥表出エッチングをする前の状態で欠

陥を定量化し(欠陥定量化1)、結晶欠陥表出エッチング後の状態で欠陥を定量化し(欠陥定量化2)、それらの差分を求め、さらにノイズとなるエッチピットを区別し、目的とする定量化したい欠陥のエッチピットをさらに高精度に求めた。デバイスパターンが形成されたウェーハの結晶欠陥表出用選択エッチングによるエッチピットのみを精度良く定量評価でき、プロセス改善の判断基準とすることができる。

図6に本発明により結晶欠陥を高精度に定量化し、改善した例を示した。図6(a)は、サンプルのデバイスパターンが形成されたウェーハをこの実施例の評価方法により計測した例を示す。この結果を基に製造プロセスを変更した結果、図6(b)に示す様に、結晶欠陥が激減した。しかし、図5(b)では、この実施例で評価した結晶欠陥27やこの実施例による評価で判明したチップ内位置依存性のある欠陥パターン28などのマスクパターンに関係したショット性の欠陥が残っていた。この結果を基にパターン配置をさらに変更した結果、図6(c)に示すように、結晶欠陥をウェーハ内で殆ど無くすることができた。また、量産時のロスまで含めた開発コストを約1/10に抑えることができた。

【0026】

次に、第3の発明について説明する。

ここで、図1及び図5に示す評価方法における画像認識欠陥検査装置(光学的検出装置)による画像認識欠陥評価を説明する。

まず、全実施例について共通の工程と評価手順について説明する。サンプルであるデバイスパターンが形成されたウェーハは、直径200mmのエピタキシャルウェーハを用いてSTIで素子分離を行った最小寸法0.25 μ m幅、面積0.2cm²のTEGを各チップ内に1個ずつ作製した。LDD構造のソース/ドレイン拡散領域端部の比較的低濃度の不純物拡散領域形成工程では、ゲート酸化膜上にゲート電極を形成した後にp+拡散領域にはホウ素(B)、n+拡散領域にはヒ素(As)などのイオン注入を行った。次に、LP-CVDでシリコン窒化膜(SiN)を堆積した後に、RIEでSiN膜をエッチングして側壁を形成した。この状態でSiN膜下部には高応力領域が存在する。次に、ゲートと側壁をマスクとしてn+拡散領域のイオン注入をAsを、例えば、加速電圧40ke

V、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件で行った。 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量では注入領域のシリコンの結晶格子は完全にアモルファス化する。拡散領域の活性化アニールは、 1000°C 以上、30秒以下の枚葉式加熱装置でのRTAを N_2 ガス雰囲気中で行った。

【0027】

転位を顕在化させるためのエッチングは、ライト (Wright) 液中に膜を剥離したシリコンウェーハを5秒間浸して実施した。なおライト液は、六価Crを含み有害なため、エッチングをCrを含まないCr-lessエッチング液で行っても同様の結果が得られることが確認されている。なお選択エッチングの前には薄膜剥離のためHF溶液ディップ処理と硫酸／過酸化水素混合溶液での洗浄処理を、また、エッチング後にはHF溶液ディップに加えて微粒子やCrを除去するための塩酸／過酸化水素混合溶液での酸洗浄とアンモニア／過酸化水素混合溶液でのアルカリ洗浄を行っている。

転位の発生頻度の評価は、光学式自動欠陥評価装置（自動評価装置）で検出し、画像認識と各実施例で示す検出光学系と計算機による比較アルゴリズムで欠陥を判定し抽出した後にSEM (Scanning Electron Microscope) 観察を行い、自動評価装置で得られた「欠陥」が転位起因のエッチピットであることを確認した。各ウェーハに対し全部のセルを観察し、転位があったセルを観察して転位密度を算出した。

【0028】

本発明の基本的な概念は、図7(a)に示す、無転位の最小領域を常に提供して転位評価の手順を進めるものである。転位をシリコンウェーハの選択エッチング後に光学的に検出する以前に無欠陥（無転位）のパターンを含む領域（図7(a)）を形成しておき、この領域を基準として評価領域と対比して面内の全パターンの欠陥を検出する。

【0029】

次に、図8及び図9を参照して第3の実施例を説明する。

無転位のパターン形成は、ゲート電極 (GC) のポリシリコン (poly-Si) のデポジション後に図8(c)のウェーハ内の参照領域 (a) とするチップのみレジ

ストを塗布せずにCDEでポリシリコンのドライエッチングでゲート電極（GC）を全て除去した。その後のLDD工程でも、SiN側壁に相当する膜は、RIEなどの工程で除去された。拡散領域のAsイオン注入は、加速電圧40keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件で行い、活性化アニールは、1000℃、30秒のRTAを行った。

図8は、薄膜剥離前のゲート電極を意図的に省略した参照領域（a）と通常のゲート電極が形成された評価領域（b）をウェーハ面内に配置した評価ウェーハの一例を示している（図8（c）参照）。ここでの活性領域AA（Active Area）（d）と（e）の素子分離領域STI（Shallow Trench Isolation）（e）は、参照領域（a）及び評価領域（b）で共通に形成されているが、斜線で示したゲート電極GC（Gate Conductor）（f）は、参照領域（a）には形成されておらず、評価領域（b）だけに形成されている。参照領域（a）ではゲート電極を付加しないで応力を緩和することにより無欠陥のデバイスパターンが形成される。

【0030】

この参照領域を用いて評価した結果は、図9（a）に示す通りある。各チップでの転位数（エッチピットの個数/ 0.2 cm^2 エリア）の分布が判明し、ノッチを下に見て左側と反ノッチ側の外周部で密度が高いことが判明した。従来法による評価では、規則的パターンの周期性により欠陥部を見落とすことが多いために、各評価領域で0または数個が「欠陥」と結論されており、これが誤りであることがわかった。

この実施例ではゲート電極なしの場合だけについて説明したが、コンタクトを形成しないことでも応力は緩和が可能で参照領域形成ができる。

【0031】

次に、図7及び図9を参照して第4の実施例を説明する。

図7は、評価領域（b）をウェーハ面内に配置した評価ウェーハの平面図及び参照領域の一例を示している。ゲート電極エッジ部の応力集中領域の応力を変化させ、実験を実施した。ここでの目的は、イオン注入後にゲート電極の側壁膜厚を増減させることにより、転位の発生が変化することを狙っている。

以下、図7を用いた評価方法を述べる。従来技術の説明で述べたように（図1

3 参照)、LP-CVDでウェーハ毎に膜厚を変化させてSiN膜を堆積し、側壁膜厚10nmと20nmのウェーハを形成した。両条件のウェーハとも拡散領域に40keVで $4 \times 10^{15} \text{ cm}^{-2}$ のAs+イオン注入を行い、イオン注入後、1000℃、30秒のRTAをN₂中施して熱処理を終了した。この段階でウェーハを抜き取り、評価に供した。評価結果は図9(b)に示す通りであり、側壁膜厚を下げて端部の応力を減らすことで、転位密度を数10分の1から数100分の1まで減らせることが判明した。

【0032】

次に、図9及び図10を参照して第5の実施例を説明する。

図10は、評価領域(a)、(b)及び参照領域(c)が形成された評価ウェーハの平面図である。

無欠陥のパターンは、基板に照射損傷を与える代表工程として、イオン注入に着目し、この工程を除くかまたはイオン注入による残留ダメージ(微小転位)を軽減させることで形成した。ヒ素(As)をイオン注入した評価領域(a)は、ウェーハのほぼ全面の(b)、(c)以外の領域に形成された。一方、ホウ素(B)を $4 \times 10^{15} \text{ cm}^{-2}$ イオン注入した参照領域(b)と、イオン注入を省略した参照領域(c)を作製した。参照領域(c)は、イオン注入前にレジストを厚く塗布してマスクとして注入を阻止し、注入後にSH洗浄(硫酸/過酸化水素混合溶液処理)を行い除去して活性化アニールをおこなった。

【0033】

参照領域(b)、(c)をそれぞれ用いてパターン間比較することにより、図9(a)と20%以内で一致する転位数の分布が得られた。今回のプロセスの代わりにイオン注入を行わない領域の区分には、ステンシル・マスクで無欠陥のパターンを作製しても可能である。また転位を発生させる問題工程がRIEやHDPなどの基板にプラズマ・ダメージを与えるプロセスの場合には、これらの工程を除くかまたは軽減させることでも上記イオン注入と同様の参照パターンを作製することができ、転位評価が可能である。

【0034】

次に、図11を参照して第6の実施例を説明する。

図 11 は、参照領域が形成されたウェーハ A 及び評価領域を有するウェーハ B の平面図である。この実施例では、図 11 に示すように、選択エッチング後の別のウェーハ間の比較により、転位を判定した。特に同一パターンから成る転位を持たないウェーハを As イオン注入を省略して参照用に形成し、このウェーハの各領域を基準として参照・比較して評価ウェーハの対応する各領域の欠陥を検出した。ウェーハ間比較により、図 9 (a) と 10 % 以内で一致する転位数の分布が得られた。

【0035】

次に、第 7 の実施例を説明する。

この実施例では、参照用の各領域の無欠陥のパターンの画像情報を予め記憶装置に格納した。実際には前記実施例で用いたゲート電極を形成せずに応力緩和パターンを作製した際の各パターンの画像を用いたが、イオン注入を省いたりダメージを緩和した試料での画像を用いることも可能である。そして対象ウェーハ内の各チップの各領域のパターンに対し格納されていた同パターンの同一画像を基準と比較して欠陥を検出した。記憶装置内画像との比較により、図 9 (a) と 20 % 以内で一致する転位数の分布が得られた。

以上、第 3 乃至第 7 の実施例によれば、高集積半導体装置の製造工程において発生する転位を、実施例で得た転位分布の図 (図 9) で示されるように評価することができる。その結果、転位が原因となって生じた大きなリーク電流を防止する対策を導き出すことができ製造歩留りを向上できる。

【0036】

次に、第 4 の発明を説明する。

第 4 の発明は、第 1 の発明もしくは第 2 の発明の欠陥定量化方法によりウェーハ表面の欠陥を定量化し、SEM、光学顕微鏡等でエッチピットを評価して欠陥を定性的に把握する。この定量化された欠陥の数を判断基準として、半導体装置の製造プロセスもしくはデバイスパターン形状を結晶欠陥が少なくなるように最適化する。例えば、製造プロセスの処理条件に対しては、イオン注入ダメージ低減、イオン注入後のアニール条件改善など。デバイスパターン形状に対しては、屈曲パターンを直線へ変更するなどの改善を行う。これらにより、デバイス製造

プロセスでの転位の発生を抑える手法を開発することが容易になり、開発コストを削減し、開発期間を大幅に短縮できる。このように欠陥の定量値を製造プロセス改善の判断基準として使用することにより、結晶欠陥を低減でき、また、量産時のロスまで含めた開発コストを約 1 / 10 に抑えることができた。

【0037】

【発明の効果】

第1及び第2の本発明は、ウェーハ全面での結晶欠陥によるエッチピットの定量評価が可能となり、不良発生原因の調査が短縮できる。第3の発明は、ウェーハ全面を選択エッチングした後に光学的検出装置による転位の評価を行う際に、規則的パターンの周期性により欠陥部を見落とすことのない評価を行うことができる。またこの評価により改善されたプロセスで素子を作製することにより有害な転位を抑制する。第4の発明は、第1乃至第3の発明の手法により求めた欠陥の定量値を製造プロセス改善の判断基準として使用することにより、結晶欠陥を低減できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例の欠陥定量化方法におけるフロー図。

【図2】

本発明の第1の実施例の欠陥定量化方法に用いられる前処理装置の断面図。

【図3】

本発明の欠陥定量化方法及び従来の結晶欠陥評価方法における評価時間の長さを示す特性図。

【図4】

本発明の第2の実施例の欠陥定量化方法に用いられる前処理装置の断面図。

【図5】

本発明の第2の実施例の欠陥定量化方法におけるフロー図。

【図6】

本発明による結晶欠陥を定量し欠陥密度をマッピングしたウェーハ平面図。

【図7】

本発明の第 4 の実施例の評価領域を面内に配置した評価ウェーハの平面図。

【図 8】

本発明の第 3 の実施例の薄膜剥離前のゲート電極を意図的に省略した参照領域 (a) と通常のゲート電極が形成された評価領域 (b) をウェーハ面内に配置した評価ウェーハの平面図。

【図 9】

本発明の第 3、第 4 及び第 5 の実施例の参照領域を用いて評価した結果を示すウェーハ平面図。

【図 1 0】

本発明の第 5 の実施例の評価領域及び参照領域が形成された評価ウェーハの平面図。

【図 1 1】

本発明の第 6 の実施例の参照領域が形成されたウェーハ A 及び評価領域を有するウェーハ B の平面図。

【図 1 2】

従来の欠陥定量化方法におけるフロー図。

【図 1 3】

従来の評価領域を面内に配置した評価ウェーハの平面図。

【図 1 4】

従来のデバイス構造膜剥離工程及び結晶欠陥表出用選択エッチング工程を行ったウェーハの部分断面図。

【符号の説明】

- | | |
|----------------------|----------------|
| 1 注液口 | 2 超音波振動子 |
| 3 デバイスパターンが形成されたウェーハ | |
| 4 ウェーハ保持治具 | 5 剥離槽 1 (テフロン) |
| 6 剥離液 1 (高濃度 HF 用) | 7 外槽 (テフロン) |
| 8 廃液口 | 9 C r 混酸回収容器 |
| 1 0 一次洗浄水 | 1 1 二次洗浄水 |
| 1 2 C r 混酸溶液 | 1 3 一次洗浄水 |

- 14 二次洗浄水 15 洗浄液
- 16 デバイス構造膜剥離工程
- 17 結晶欠陥表出用選択エッチング工程
- 18 洗浄工程 19 剥離槽 2 (石英)
- 20 剥離液 2 (低濃度 HF、HF 以外の酸、アルカリ用)
- 21 洗浄槽 22 Cr 混酸槽
- 23 一次洗浄槽 24 二次洗浄槽
- 25 半導体チップ当たりの結晶欠陥密度
- 26 本発明処理後のパターン付きウェーハ
- 27 評価した結晶欠陥を表す点
- 28 評価で判明したチップ内位置依存性のある欠陥パターン
- 29 液中パーティクルモニタ
- 30 表面状態観察モニタ

【書類名】

図面

【図 1】

本評価方法 1



製品、製品途中抜き取り、

デバイス構造膜剥離

結晶欠陥表出用選択エッチング

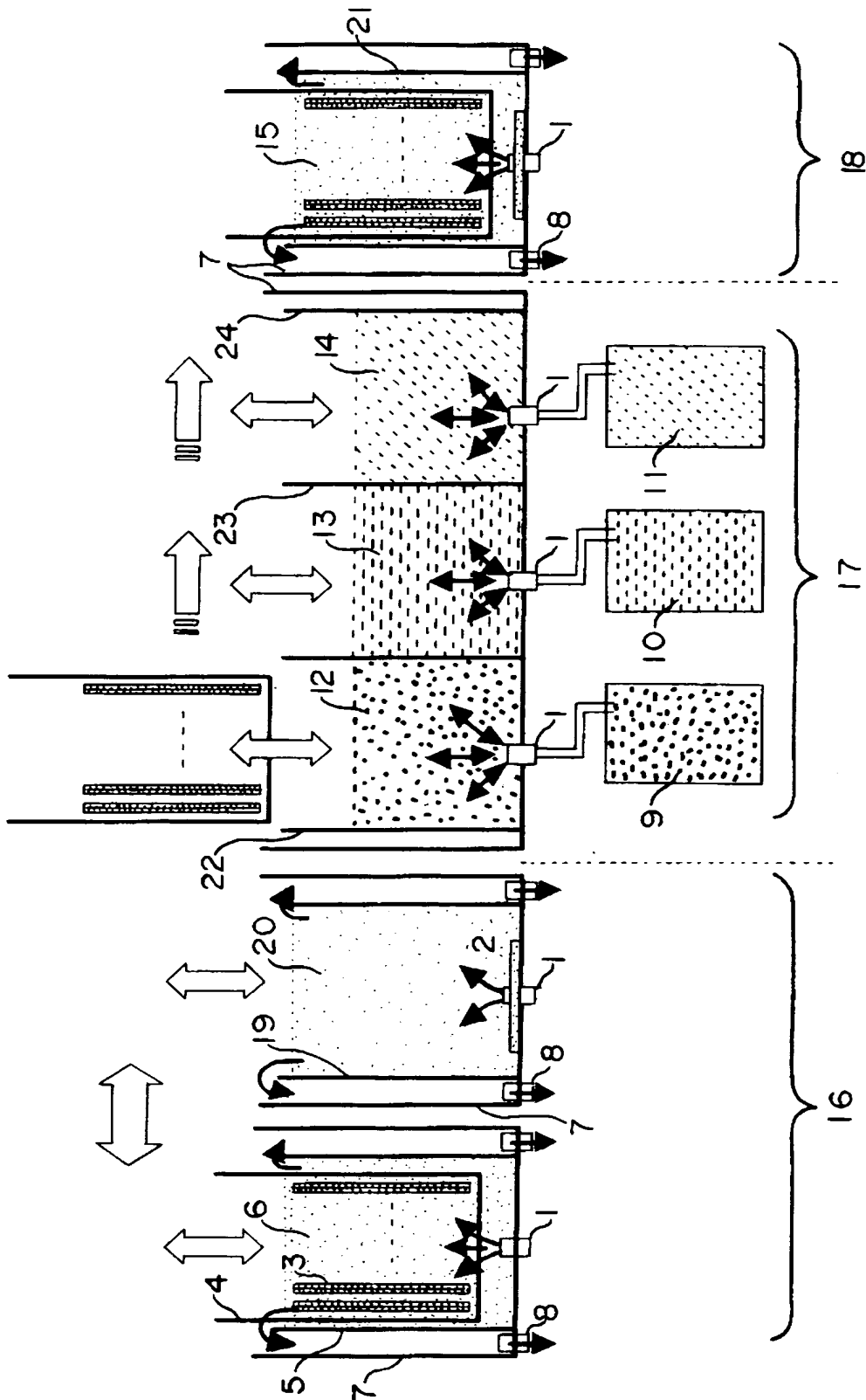
後処理（表面不純物除去処理）

洗浄（パーティクル除去）

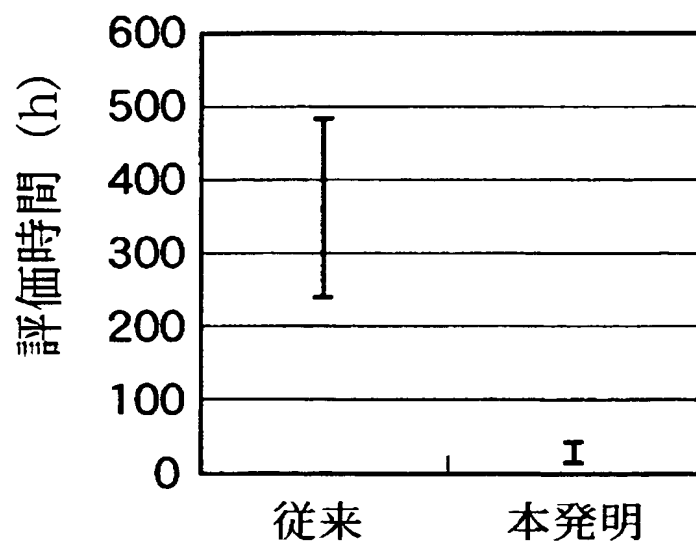
画像認識欠陥評価

欠陥定量化

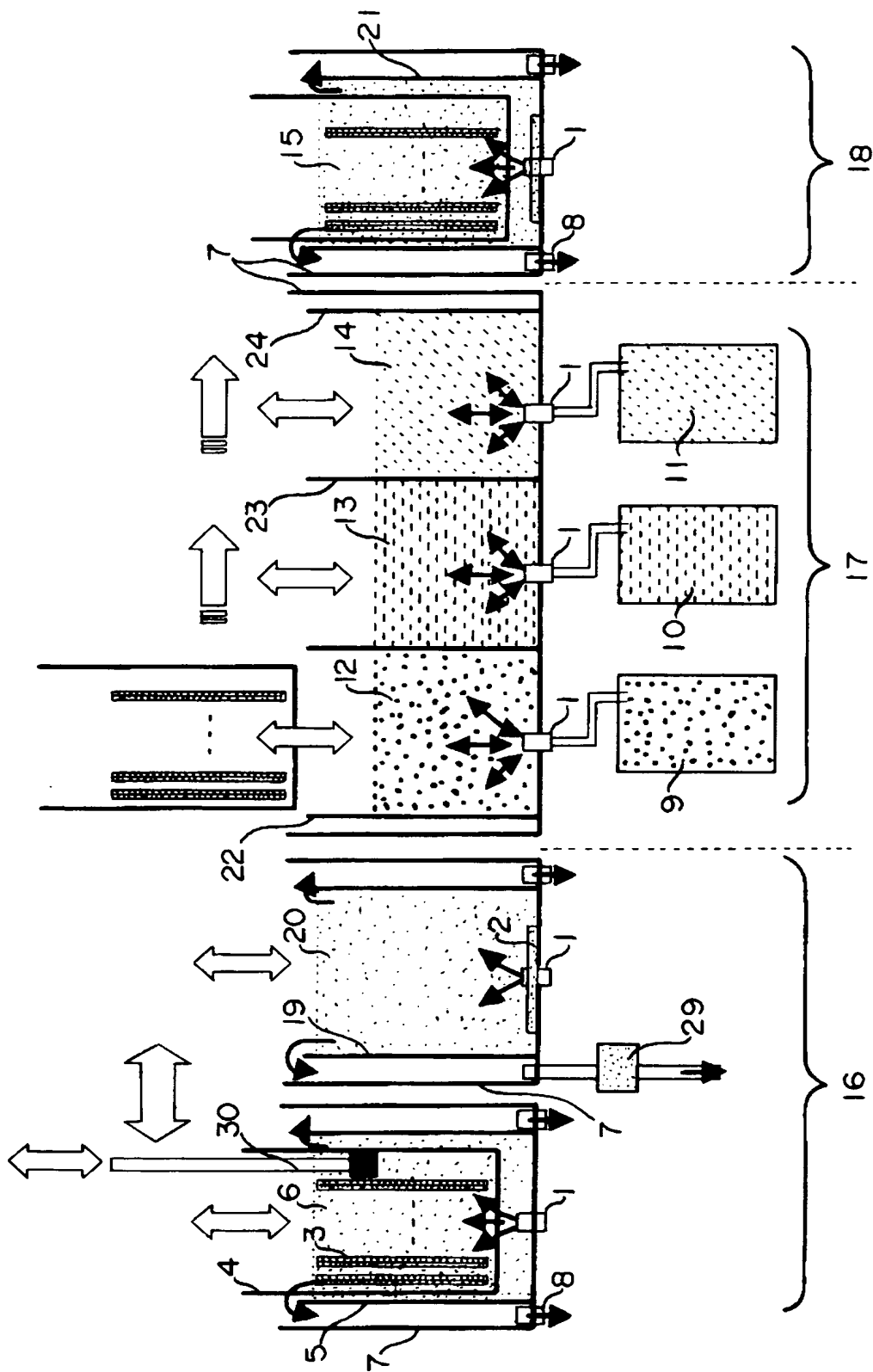
【図 2】



【図 3】

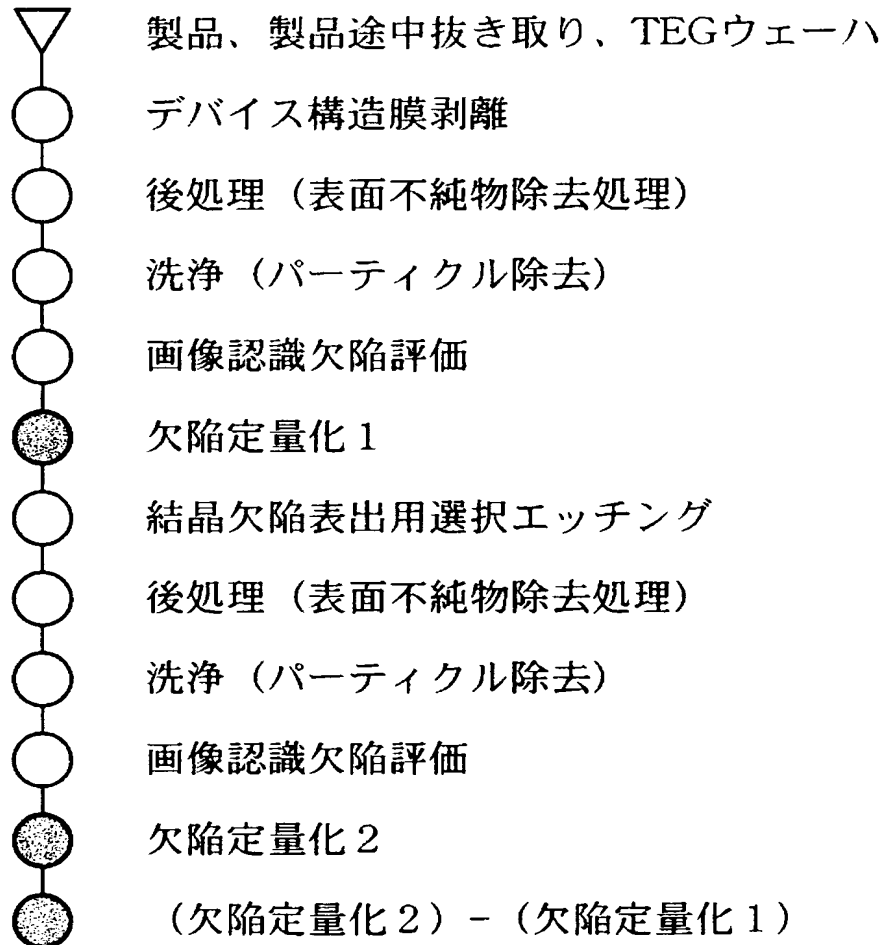


【図 4】

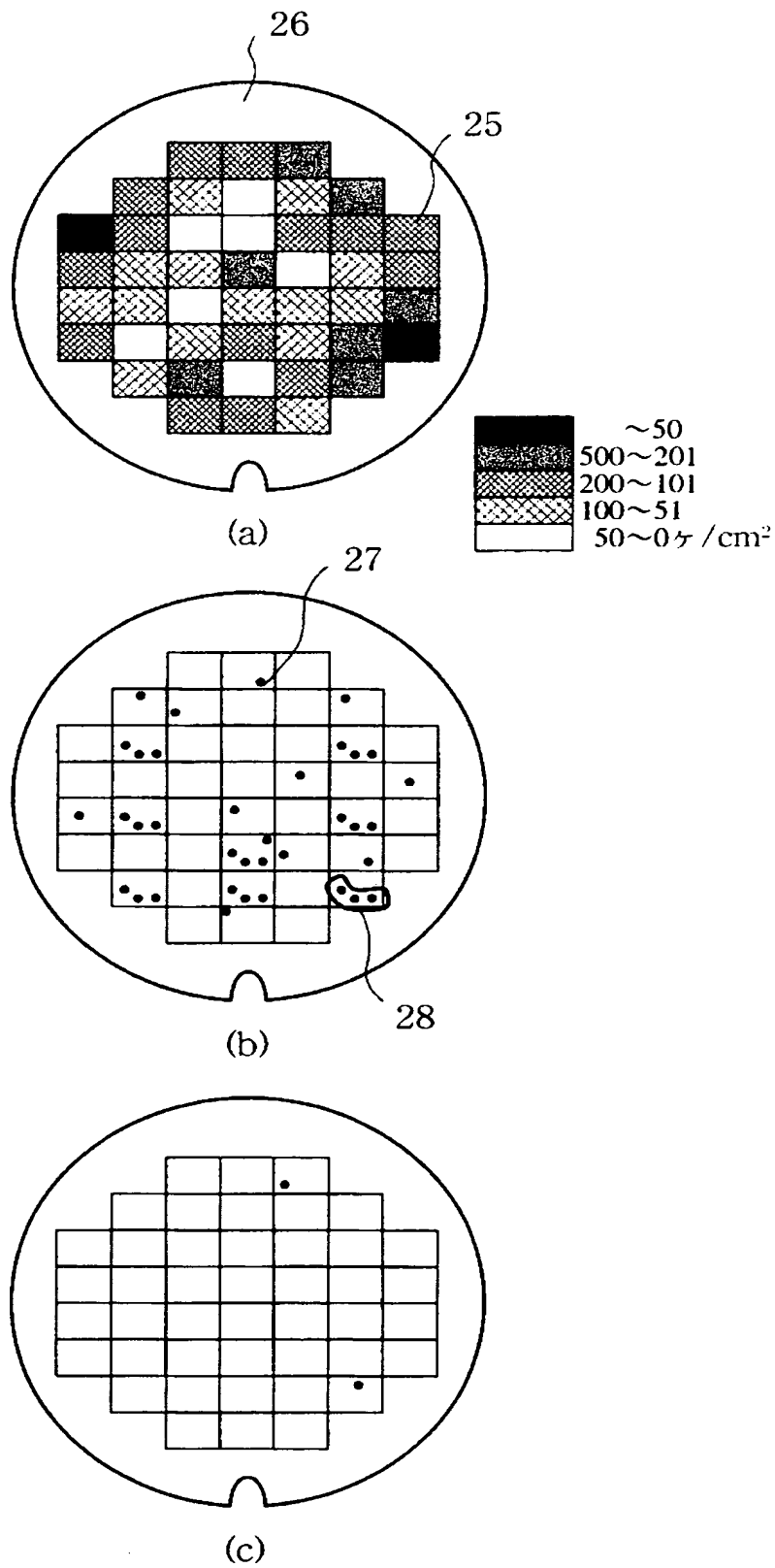


【図 5】

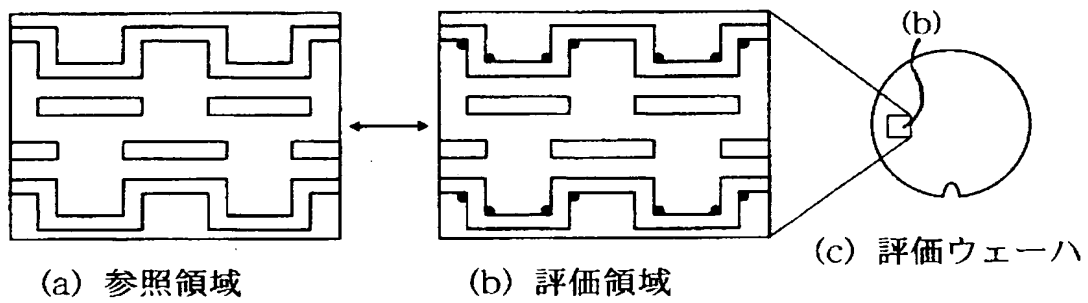
本評価方法 2



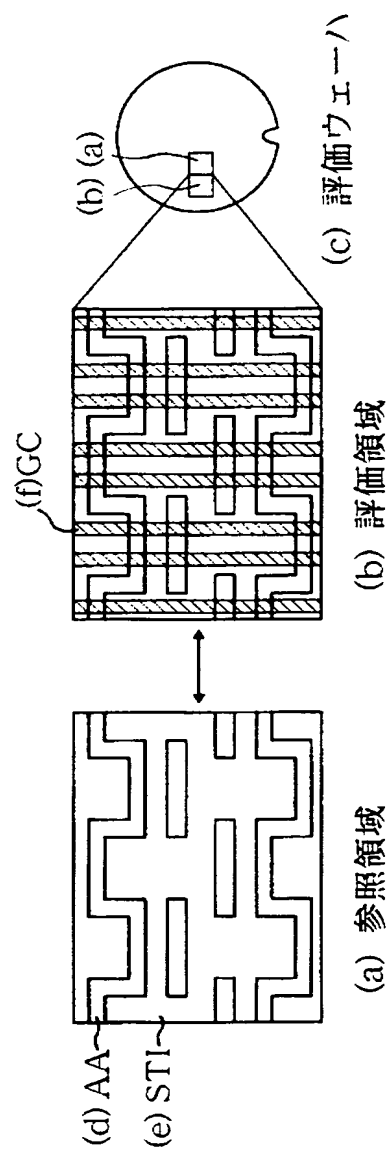
【図 6】



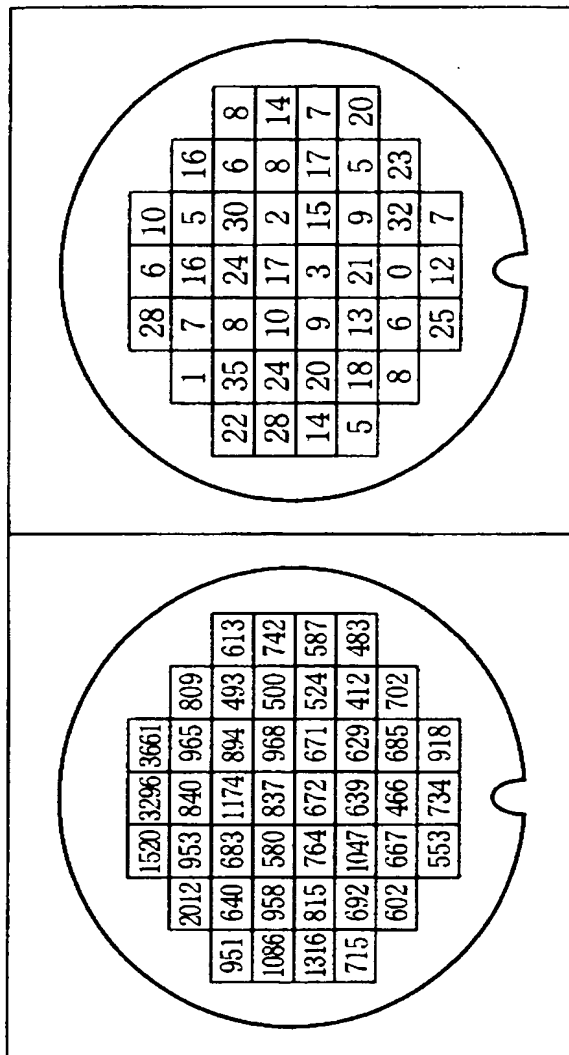
【図7】



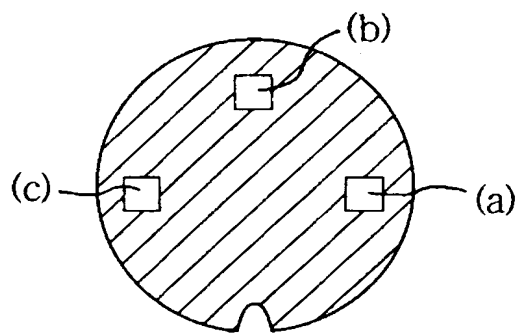
【図8】



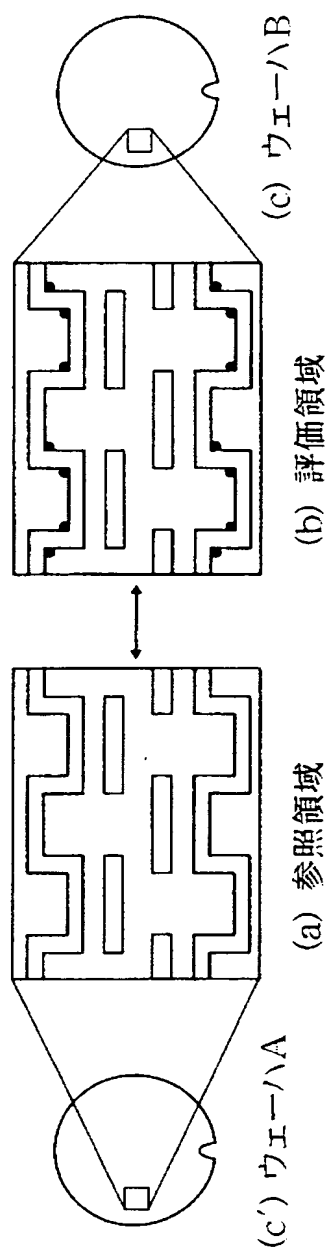
【図 9】



【図 10】

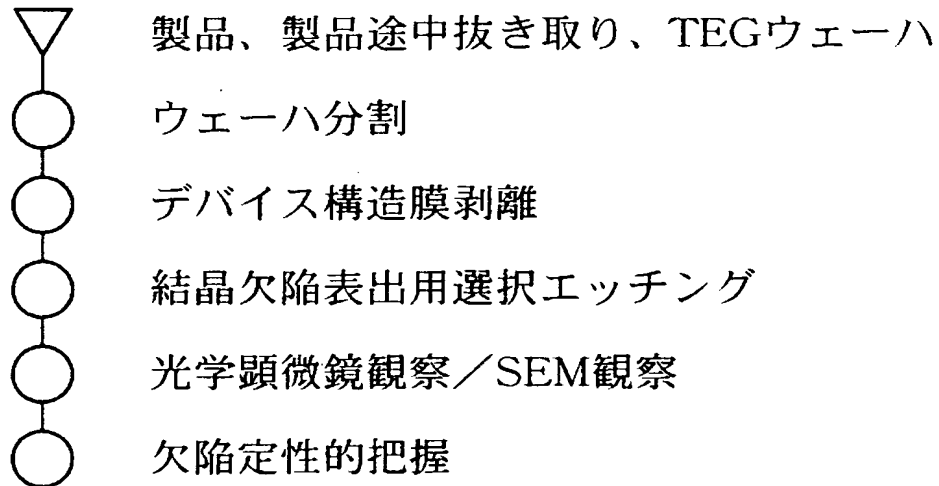


【図 11】

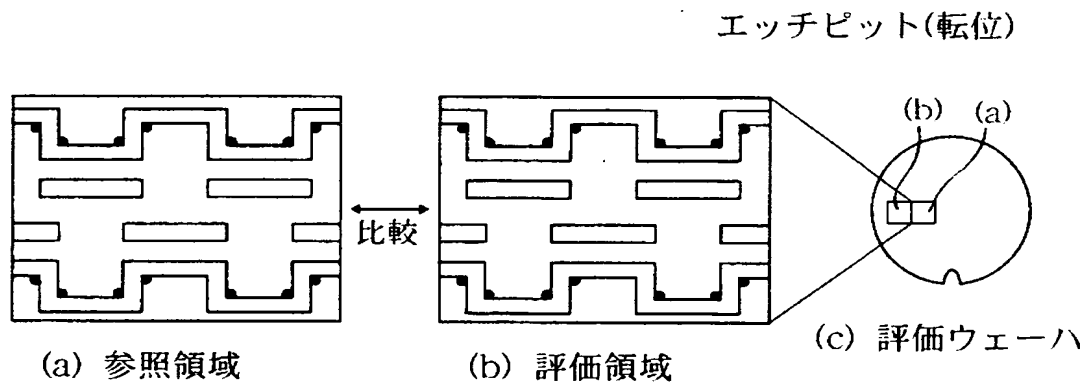


【図 1 2】

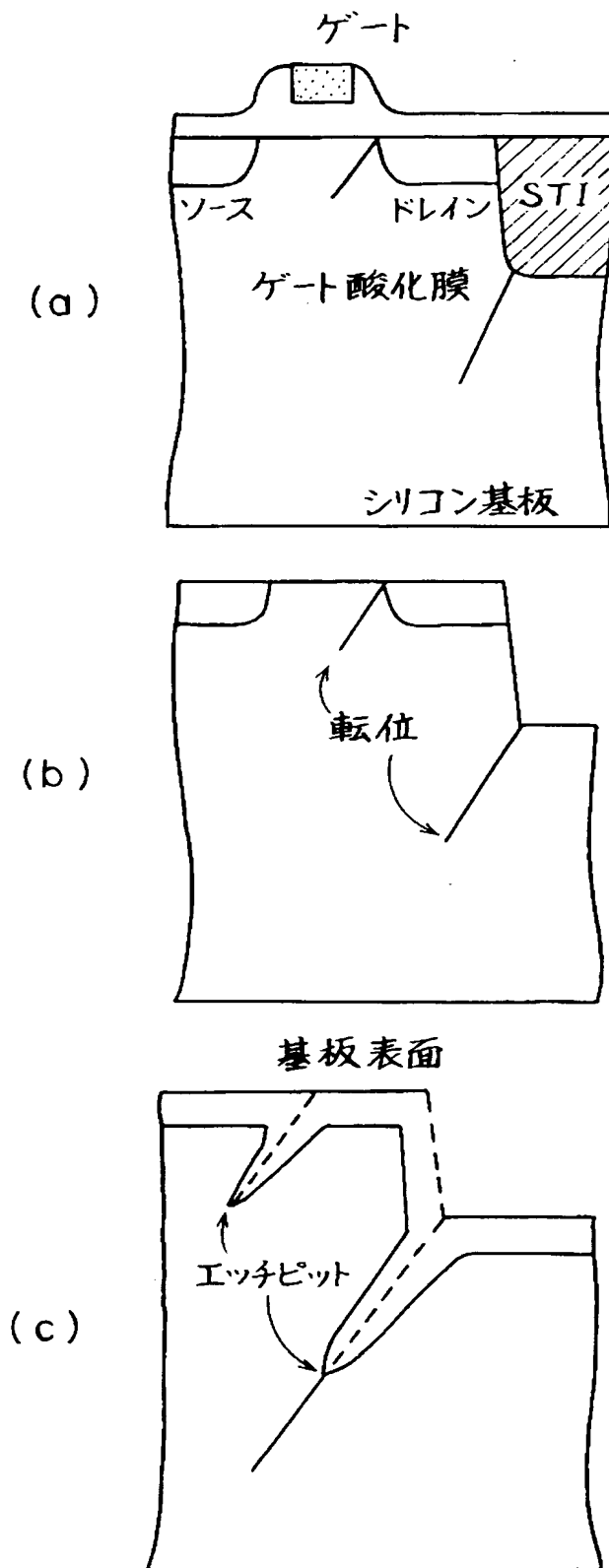
従来評価方法 1



【図 1 3】



【図 14】



【書類名】**要約書****【要約】**

【課題】 ウェーハ全面のエッチピットの数をも素早く定量化することができ、光学的検出装置による転位などの結晶欠陥の評価を行う際に規則的パターンの周期性により欠陥部を見落とすことがなく有害な転位を抑制する欠陥定量化方法を提供する。

【解決手段】 ウェーハをそのままデバイス構造の膜を薬液で剥離し、ライト液などによる結晶欠陥検出のための選択エッチングにより、エッチピットを表出し、洗浄処理により表面汚染の除去を行い、次に洗浄工程により、パーティクルを除去したウェーハを画像認識欠陥検査装置でエッチピットを定量評価する。この前記欠陥定量化方法において、選択エッチングした後に光学的検出装置による転位の評価を行う際に、無欠陥のデバイスパターンを含む領域を基準として評価すべき領域の転位等を検出する。

【選択図】 図 1

特願 2 0 0 2 - 3 3 0 6 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝